

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-40758

(P2000-40758A)

(43) 公開日 平成12年2月8日 (2000.2.8)

(51) Int.Cl.⁷H 0 1 L 21/8249
27/06
21/8222

識別記号

F I

H 0 1 L 27/06

テーマコード* (参考)

3 2 1 B 5 F 0 4 8
1 0 1 U 5 F 0 8 2

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願平10-208898

(22) 出願日 平成10年7月24日 (1998.7.24)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 西浦 信二

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外2名)

Fターム(参考) 5F048 AA07 AC05 AC10 BA12 BB05

BC06 BX04 BE03 BF03 BG12

CA03 CA07 CA14 CA15 DA25

DA28 DA30

5F082 AA21 BA36 BA47 BC01 BC09

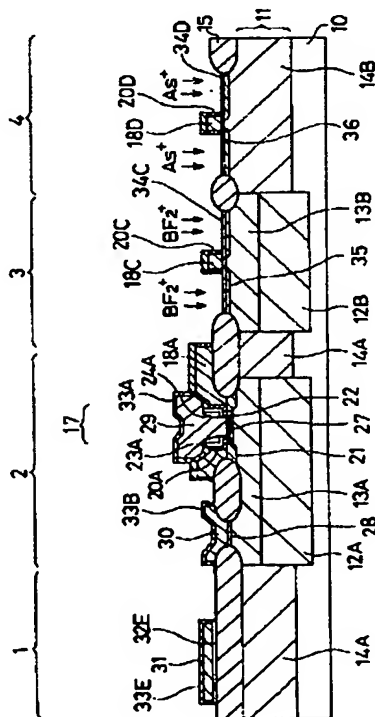
BC15 EA09 EA42

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 Bi-CMOSデバイスにおけるMOSTランジスタの特性のばらつきを抑制できる半導体装置の製造方法を提供する。

【解決手段】 Si基板10の上に、抵抗素子1、NPバイポーラトランジスタ2、PチャネルMOSTランジスタ3、NチャネルMOSTランジスタ4の各要素を形成する。ベース引き出し電極18Aとエミッタ引き出し電極29とを互いに自己整合的に形成した後、各電極18A、29からの不純物の拡散により、外部ベース層21とエミッタ層27とを自己整合的に形成する。各MOSTランジスタ3、4のLDD層35、36形成のためのイオン注入は、エミッタ・ベース形成領域17のL字型シリコン窒化膜32Aのみを残し、ゲート電極18C、18D側方のL字型シリコン窒化膜を除去した状態で行なう。一般的なCMOSデバイスの製造プロセスと同等のMOSTランジスタの特性が得られる。



【特許請求の範囲】

【請求項1】 半導体基板上に、バイポーラトランジスタ形成用の第1の領域とMISトランジスタ形成用の第2の領域とを囲む素子分離膜を形成した後、上記第1及び第2の領域の上にゲート絶縁膜を形成する第1の工程と、

上記第1の領域の上記ゲート絶縁膜を除去した後、基板の全面上に第1の導体膜及び第1の絶縁膜を順次堆積する第2の工程と、

上記第1の絶縁膜及び第1の導体膜をパターンニングして、エミッタ形成領域を開口したバイポーラトランジスタのベース引き出し電極及び電極上絶縁膜と、MISトランジスタのゲート電極及び電極上絶縁膜とを形成する第3の工程と、

上記ベース引き出し電極及びゲート電極の各側面と上記エミッタ形成領域とに第2の絶縁膜を形成した後、基板の全面上に第3の絶縁膜及び第2の導体膜を順次堆積する第4の工程と、

上記第2の導体膜をエッチバックして、上記ベース引き出し電極及びゲート電極の各側面に上記第2及び第3の絶縁膜を挟んで残る上記第2の導体膜からなる導体膜側壁を形成する第5の工程と、

上記導体膜側壁をマスクとして、上記エミッタ形成用開口内の上記第3の絶縁膜及び上記第2の絶縁膜を除去して、エミッタ引き出し用開口部を自己整合的に形成する第6の工程と、

基板の全面に第3の導体膜を堆積した後、該第3の導体膜と上記第3の絶縁膜とを選択的に除去して上記エミッタ引き出し用開口部にエミッタ引き出し電極を形成した後、上記ゲート電極側面の導体膜側壁を除去する第7の工程と、

上記ゲート電極側面の導体膜側壁が除去された後に残る上記第3の絶縁膜をエッチングにより除去する第8の工程と、

上記ゲート電極の側面に残る上記第2の絶縁膜に自己整合するように、上記MISトランジスタのソース・ドレイン層を形成する第9の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

上記第7の工程と第8の工程との間に、上記エミッタ引き出し電極の表面及び上記第2の領域における半導体基板の表面の上に第4の絶縁膜を形成する第9の工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項3】 請求項1記載の半導体装置の製造方法において、

上記第7の工程では、上記第3の導体膜を選択的にエッチングすることにより、上記素子分離膜の上に抵抗体を形成することを特徴とする半導体装置の製造方法。

【請求項4】 請求項3記載の半導体装置の製造方法に

おいて、

上記第7の工程と第8の工程との間に、上記エミッタ引き出し電極の表面、上記第2の領域における半導体基板の表面及び上記素子分離膜上の抵抗体の上に第4の絶縁膜を形成する第9の工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項5】 請求項1～4のうちいずれか1つに記載の半導体装置の製造方法において、

上記第6の工程の後に、上記第3の導体膜をエッチングする前に、上記第3の導体膜表面に第5の絶縁膜を形成した状態で、熱処理によって上記第3の導体膜中の不純物を活性化する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項6】 請求項1～5のうちいずれか1つに記載の半導体装置の製造方法において、

上記第9の工程では、上記ゲート電極及びその側面の第2の絶縁膜をマスクとする不純物イオンの注入によりLDD層を形成した後、上記ゲート電極の側面に絶縁体側壁を形成し、ゲート電極及び絶縁体側壁をマスクとする不純物イオンの注入により、上記LDD層の外側にソース・ドレイン層を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、共通の半導体基板上に自己整合型のバイポーラトランジスタ及びCMOSトランジスタを設けてなるBi-CMOSデバイスとしての半導体装置の製造方法に関するものである。

【0002】

【従来の技術】近年、携帯電話等の移動体通信機器の著しい進歩に伴い、半導体集積回路において高周波回路と高集積ロジック回路とを集積化することが必要となってきた。従って、高速ECL回路やアナログ回路などに適した自己整合型の超高速バイポーラトランジスタと、高精度の抵抗を有する抵抗素子と、高集積化かつ低消費電力化されたCMOSロジック回路とを、共通の半導体基板上に設けるためのBi-CMOSデバイスの製造技術が強く要望されている。この自己整合型バイポーラトランジスタとは、エミッタ層と外部ベース層とが互いに自己整合的に形成されたものをいう。

【0003】以下、特願平7-266972号公報に開示されている、バイポーラトランジスタとCMOSTランジスタとを共通の半導体基板上に設けた2層多結晶シリコン自己整合型のBi-CMOSデバイスの製造方法について、図面を参照しながら説明する。この技術は、2層のポリシリコン膜のパターンニングによって自己整合的に形成されたベース引き出し電極とエミッタ引き出し部とを利用してエミッタ層と外部ベース層とを互いに自己整合的に形成する技術を、Bi-CMOSデバイスの製造に応用したものである。

【0004】図9は、従来の半導体装置の断面図である。同図に示すように、シリコンよりなるP型Si基板55の上には、多結晶シリコンからなる抵抗素子51と、NPNバイポーラトランジスタ52と、PチャネルMOSトランジスタ53と、NチャネルMOSトランジスタ54とが設けられている。すなわち、この半導体装置は、抵抗素子を含みバイポーラトランジスタとCMOSデバイスとを共通の基板上に集積してなるBi-CMOSデバイスである。

【0005】P型Si基板55上には、N型半導体からなるエピタキシャル層90が形成されており、P型半導体基板55とエピタキシャル層90とに跨る領域には、イオン注入及び熱処理によって形成された埋め込みコレクタ層56Aと、イオン注入によって形成されたN型埋め込みウェル層56Bとが設けられている。さらに、エピタキシャル層90において、埋め込みコレクタ層56A、埋め込みウェル層56Bの上方には、N型コレクタ層57AとN型ウェル層57Bとが設けられ、これらの領域によって挟まれる部位には、イオン注入及び熱処理により形成された第1のP型ウェル層58と、イオン注入及び熱処理により形成された第2のP型ウェル層59とが設けられている。そして、エピタキシャル層90は、LOCOS膜60によって、NPNバイポーラトランジスタ52、PチャネルMOSトランジスタ53、NチャネルMOSトランジスタ54、及び多結晶シリコン抵抗素子51の各素子を形成するための領域に区画されている。

【0006】NPNバイポーラトランジスタ52は、自己整合的に形成されたエミッタ・ベース領域62において、P型不純物が導入された多結晶シリコンにより形成されたベース引き出し電極63Aと、TEOS膜等によりベース引き出し電極63Aの上に形成された上面絶縁膜64Aと、ベース引き出し電極63Aの側部に熱酸化処理によって形成された側面酸化膜65Aと、ベース引き出し電極63Aの側面に減圧CVD法により堆積されたシリコン窒化膜66Aと、減圧CVD法により堆積された多結晶シリコン膜を異方性エッチングして形成された導体側壁67Aとを備えている。さらに、ベース引き出し電極63Aの側面の導体側壁67Aに対して自己整合的に形成されたエミッタ引き出し開口部68には、N型不純物が導入された多結晶シリコンよりなるエミッタ引き出し電極69が形成されている。

【0007】そして、コレクタ層57Aの上には、ベース引き出し電極63A中の不純物を熱処理により拡散させてなる外部ベース層72と、外部ベース層72によって挟まれる領域にイオン注入及び熱処理により形成された活性ベース層73と、エミッタ引き出し電極69中の不純物を熱処理により拡散させてなるエミッタ層74とを備えている。上記ベース引き出し電極63Aとエミッタ引き出し電極69とは、互いに自己整合的に形成され

ているので、ベース引き出し電極63A、エミッタ引き出し電極69の不純物の拡散により形成された外部ベース層72、エミッタ層74は互いに自己整合的に形成されることになる。

【0008】なお、70はN型不純物が導入された多結晶シリコンよりなるコレクタ引き出し電極、71Aは減圧CVD法により堆積されたTEOS膜により各引き出し電極の側面に形成された酸化膜側壁、75は熱処理により形成されたコレクタコンタクト層である。

【0009】一方、Pチャネル及びNチャネルMOSトランジスタ53、54は、エピタキシャル層90の熱酸化処理によって形成されたゲート絶縁膜80A、88Bと、N型不純物が導入された多結晶シリコンよりなるゲート電極63B、63Cと、TEOS膜等よりなるゲート上絶縁膜64B、64Cと、各ゲート電極63B、63Cの熱酸化処理により形成された側面酸化膜65B、65Cと、各ゲート電極63B、63Cの側面に形成されたシリコン窒化膜66B、66C及び酸化膜側壁71B、71Cと、各シリコン窒化膜66B、66Cを通したイオン注入により形成されたLDD層81A、81Bと、ゲート電極63B、63C及び酸化膜側壁71B、71Cをマスクとするイオン注入により自己整合的に形成されたソース・ドレイン層82A、82Bとを備えている。

【0010】また、抵抗素子51は、下敷き膜となるシリコン窒化膜66Dと、N型不純物が導入された多結晶シリコンよりなる抵抗体83と、TEOS膜等よりなる酸化膜側壁73Dとをそれぞれ備えている。

【0011】以上の構成により、バイポーラトランジスタの高周波動作特性に重要な要因である外部ベース層76とエミッタ層78の間隔と、MOSトランジスタの耐ホットキャリア性、飽和ドレイン電流値に重要な要因である、ゲート電極63B、63Cとソース・ドレイン層82Aとの間隔を独立して調整できるので、バイポーラトランジスタおよびMOSトランジスタ双方の動作特性を最適化することができる。

【0012】

【発明が解決しようとする課題】しかしながら、上記Bi-CMOSデバイスの製造方法によって形成されたMOSトランジスタにおいて、動作特性に大きなばらつきが発生するという問題があった。そこで、その原因を調べた結果、各ロット間において、LDD層の不純物プロファイルにばらつきがあることによるものと思われた。すなわち、MOSトランジスタのLDD層は、ドレイン近傍の不純物分布を最適化し電界集中を緩和する働きをするため、その不純物プロファイルの制御が重要であるが、上記従来の製造工程では、LDD層の不純物プロファイルが正確に所望の状態に制御されていないためと思われた。

【0013】図10は、上記LDD層81A、81Bを

形成する工程を示す断面図である。同図に示すように、バイポーラトランジスタ53のエミッタ引き出し電極69及びコレクタ引き出し電極70と、抵抗素子51の抵抗体83とをパターンニングした状態で、PチャネルMOSトランジスタ53において、ゲート電極63Bや側面酸化膜65Bをマスクとして、シリコン窒化膜66Bを通したボロンイオン(B^+)の注入を行なってLDD層81Aを形成する。また、NチャネルMOSトランジスタ54において、ゲート電極63Cや側面酸化膜65Cをマスクとして、シリコン窒化膜66Cを通したヒ素イオン(As^+)の注入を行なってLDD層81Bを形成する。ただし、PチャネルMOSトランジスタ側とNチャネルMOSトランジスタ側とは、レジストマスクを代えてイオン注入を行なう。

【0014】このように、上記従来のBi-CMOSデバイスの製造工程においては、LDD層81A、81Bを形成するためのイオン注入をシリコン窒化膜66B、66Cを通して行うために、加速エネルギーや注入ドーズ量を、一般的なCMOSプロセスで採用されているLDD層形成時のイオン注入条件よりも、増加させている。しかし、このようなイオン注入では、飛程ばらつきが大きくなることと、ゲート電極形状のばらつきの影響を受けやすくなることとにより、LDD層の不純物プロファイルが所望の状態から外れて、MOSトランジスタの動作特性に大きなばらつきが発生してしまう。

【0015】この問題は、ゲート長がサブミクロンレベル以下にまで微細化されたトランジスタでより顕著となってくる。

【0016】一方、図10に示す状態で、シリコン窒化膜66B、66Cをエッチングにより除去しようとする、バイポーラトランジスタのエミッタ引き出し電極69やコレクタ引き出し電極70、MOSトランジスタの活性領域の表面、多結晶シリコン抵抗素子の抵抗体66D表面もエッチングされ、これら各素子の特性がばらつくという別の問題が発生するおそれがあった。

【0017】本発明は上記問題に鑑みてなされたものであり、その目的は、MOSトランジスタの拡散層のプロファイルを所望の状態に制御する手段を講ずることにより、単独のCMOSプロセスで形成されたものと同じ高性能の動作特性を持つMOSトランジスタをバイポーラトランジスタと共に共通の基板上に設けた半導体装置の製造方法を提供することにある。

【0018】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置の製造方法は、半導体基板上に、バイポーラトランジスタ形成用の第1の領域とMISTランジスタ形成用の第2の領域とを囲む素子分離膜を形成した後、上記第1及び第2の領域の上にゲート絶縁膜を形成する第1の工程と、上記第1の領域の上記ゲート絶縁膜を除去した後、基板の全面上に第1の導体膜

及び第1の絶縁膜を順次堆積する第2の工程と、上記第1の絶縁膜及び第1の導体膜をパターンニングして、エミッタ形成領域を開口したバイポーラトランジスタのベース引き出し電極及び電極上絶縁膜と、MISTランジスタのゲート電極及び電極上絶縁膜とを形成する第3の工程と、上記ベース引き出し電極及びゲート電極の各側面と上記エミッタ形成領域とに第2の絶縁膜を形成した後、基板の全面上に第3の絶縁膜及び第2の導体膜を順次堆積する第4の工程と、上記第2の導体膜をエッチバックして、上記ベース引き出し電極及びゲート電極の各側面に第2の導体膜を残して導体膜側壁を形成する第5の工程と、上記導体膜側壁をマスクとして、上記エミッタ形成用開口内の上記第3の絶縁膜及び上記第2の絶縁膜を除去して、エミッタ引き出し用開口部を自己整合的に形成する第6の工程と、基板の全面に第3の導体膜を堆積した後、該第3の導体膜と上記第3の絶縁膜とを選択的に除去して上記エミッタ引出し用開口部にエミッタ引き出し電極を形成した後、上記ゲート電極側面の導体膜側壁を除去する第7の工程と、上記ゲート電極側面の導体膜側壁が除去された後に残る上記第3の絶縁膜をエッチングにより除去する第8の工程と、上記ゲート電極の側面に残る上記第2の絶縁膜に自己整合するように、上記MISTランジスタのソース・ドレイン層を形成する第9の工程とを備えている。

【0019】この方法により、第9の工程では、ゲート電極の側面の第3の絶縁膜が除去された状態で、ソース・ドレイン層が形成される。MISTランジスタの特性を定めるソース・ドレイン層を、一般的なMOSデバイスのプロセスを用いて形成できる。したがって、従来の半導体装置の製造工程におけるような、ゲート電極の側面の第3の絶縁膜を通したイオン注入の飛程ばらつきに起因するMISTランジスタの特性のばらつきが抑制される。すなわち、高性能の動作特性を持つMOSトランジスタを超高速バイポーラトランジスタとともに共通の半導体基板上に形成できる。

【0020】上記半導体装置の製造方法において、上記第7の工程と第8の工程との間に、上記エミッタ引出し電極の表面及び上記第2の領域における半導体基板の表面の上に第4の絶縁膜を形成する第9の工程をさらに備えることにより、第8の工程で第3の絶縁膜を除去する際にも、バイポーラトランジスタのエミッタ引き出し電極などの表面の荒れに起因する特性の劣化を防止することができる。

【0021】上記半導体装置の製造方法において、上記第7の工程では、上記第3の導体膜を選択的にエッチングして上記素子分離膜の上に抵抗体を形成することにより、バイポーラトランジスタ、MISTランジスタとともに、抵抗素子を共通の基板上に形成することができる。

【0022】その場合、上記第7の工程と第8の工程と

の間に、上記エミッタ引出し電極の表面、上記第2の領域における半導体基板の表面及び上記素子分離膜上の抵抗体の上に第1の絶縁膜を形成する第9の工程をさらに備えることにより、高性能なMISトランジスタ及び超高速バイポーラトランジスタと、高精度な抵抗素子とを共通の半導体基板上に形成することができる。

【0023】上記半導体装置の製造方法において、上記第6の工程の後に、上記第3の導体膜をエッチングする前に、上記第3の導体膜表面に第5の絶縁膜を形成した状態で、熱処理によって上記第3の導体膜中の不純物を活性化する工程をさらに備えることにより、第5の絶縁膜によって第3の導体膜中の不純物イオンが活性化熱処理で大気中に放出されるのを防ぐことができ、より高精度な特性を持つバイポーラトランジスタとMISトランジスタとを共通の半導体基板上に形成することができる。

【0024】上記半導体装置の製造方法において、上記第9の工程では、上記ゲート電極及びその側面の第2の絶縁膜をマスクとする不純物イオンの注入によりLDD層を形成した後、上記ゲート電極の側面に絶縁体側壁を形成し、ゲート電極及び絶縁体側壁をマスクとする不純物イオンの注入によって上記LDD層の外側にソース・ドレイン層を形成することにより、短チャネル効果を抑制する機能の高い微細なMISトランジスタを有する半導体装置を形成することが可能になる。

【0025】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。

【0026】図1～図8は本発明の実施形態に係わる半導体装置の製造方法の工程を示す断面図である。

【0027】本実施形態に係る半導体装置は、ホウ素を導入した比抵抗が $10\Omega \cdot \text{cm}$ 程度で面方位が(100)のシリコンよりなるP型Si基板10の上に、NPNバイポーラトランジスタ2と、PチャネルMOSTランジスタ3と、NチャネルMOSTランジスタ4と、多結晶シリコン抵抗素子1とが形成されたBi-CMOSデバイスである。ただし、図1～図8には、理解を容易にするために、抵抗素子1と、NPNバイポーラトランジスタ2と、PチャネルMOSTランジスタ3と、NチャネルMOSTランジスタ4とを互いに隣接させて表示しているが、現実には、各素子が図1～図8に示す位置関係で形成されるとは限らない。

【0028】まず、図1に示す工程において、P型Si基板10の表面に、NPNバイポーラトランジスタ2及びPチャネルMOSTランジスタ3を形成する領域を開口したレジスト膜Re1を形成し、このレジスト膜Re1をマスクとして、P型Si基板10内にヒ素またはアンチモンのイオンを注入する。イオン注入のドーズ量は $1 \times 10^{15} \text{ cm}^{-2}$ 程度で加速エネルギーは40～60keVである。

【0029】次に、酸素ガスを用いたプラズマアッシングによりレジスト膜Re1を除去した後、温度1150～1200℃で15～30分程度の熱処理を行い、接合深さが1～2 μm でシート抵抗が50～150 Ω/\square のN型埋め込みコレクタ層12AおよびN型埋め込みウェル層12Bを形成する。

【0030】次に、図2に示す工程で、エピタキシャル層やウェル層やLOCOS膜の形成を行なう。

【0031】まず、P型Si基板10の表面に厚さが0.7～1.5 μm でヒ素またはリンの不純物により比抵抗が1～5 $\Omega \cdot \text{cm}$ となるN型エピタキシャル層11を堆積する。N型エピタキシャル層11は、ジクロールシランとアルシンとの混合ガスを用いて温度が1050℃、圧力が1060Pa程度で堆積する。

【0032】次に、N型エピタキシャル層11の表面に、NPNバイポーラトランジスタ2、PチャネルMOSTランジスタ3の形成領域を開口したレジスト膜(図示せず)を形成し、このレジスト膜をマスクとして、N型エピタキシャル層11内にリンイオンを注入する。イオン注入のドーズ量は $1 \times 10^{13} \text{ cm}^{-2}$ 程度で加速エネルギーは100keV程度である。

【0033】次に、酸素ガスを用いたプラズマアッシングによりレジスト膜を除いた後、NPNバイポーラトランジスタ2の素子分離領域及びNチャネルMOSTランジスタ4の形成領域を開口したレジスト膜(図示せず)を形成し、このレジスト膜をマスクとしてホウ素イオンを注入する。イオン注入のドーズ量は $1 \times 10^{13} \text{ cm}^{-2}$ ～ $2 \times 10^{13} \text{ cm}^{-2}$ で加速エネルギーは20keV程度である。その後、酸素ガスによるプラズマアッシングでレジスト膜を除いた後、窒素ガス雰囲気中で温度が1100℃程度で90～150分の熱処理を行う。

【0034】これにより、NPNバイポーラトランジスタ2の形成領域にはN型埋め込みコレクタ層12Aに達するN型コレクタ層13Aが形成され、PチャネルMOSTランジスタ3の形成領域にはN型埋め込みウェル層12Bに達するN型ウェル層13Bとが形成され、NPNバイポーラトランジスタ2の素子分離領域にはP型Si基板10に達する素子分離層14Aが形成され、NチャネルMOSTランジスタ4の形成領域にはP型Si基板10に達するP型ウェル層14Bが形成される。N型コレクタ層13Aの拡散層の深さは0.7～1.5 μm で、表面の不純物濃度は $5 \times 10^{16} \text{ cm}^{-3}$ 程度である。N型ウェル層13Bの拡散層の深さは0.7～1.5 μm で、表面の不純物濃度は $5 \times 10^{16} \text{ cm}^{-3}$ 程度である。また、素子分離層14Aの拡散層の深さは1.2～2.0 μm で、表面の不純物濃度は $7 \times 10^{16} \text{ cm}^{-3}$ 程度である。P型ウェル層14Bの拡散層の深さは1.2～2.0 μm で、表面の不純物濃度は $7 \times 10^{15} \text{ cm}^{-3}$ 程度である。

【0035】次に、N型エピタキシャル層11の上にL

LOCOS膜形成時の選択的マスクとして用いるシリコン窒化膜(図示せず)を形成する。シリコン窒化膜は、ジクロールシランとアンモニアとの混合ガスを用いて減圧CVD法により120nm程度の厚さだけ堆積し、フォトリソグラフィ及びエッチングにより素子分離形成領域を開口させておく。このシリコン窒化膜をマスクとして、温度1050℃程度でパイロジェニック酸化を60分程度行い、素子分離用のLOCOS膜15を形成する。このLOCOS膜の膜厚は400～800nmである。

【0036】次に、リン酸液を用いてシリコン窒化膜を除いた後、PチャネルMOSトランジスタ3を開口したレジスト膜を形成し、このレジスト膜をマスクとしてドーズ量が $4 \times 10^{12} \text{ cm}^{-2}$ 程度で加速エネルギーが20keV程度のホウ素イオンを注入する。これにより、PチャネルMOSトランジスタ3のしきい値電圧は-0.5～-0.8Vに制御される。レジスト膜を除去した後、同様の処理を行なって、NチャネルMOSトランジスタ4を形成する所定領域に、ドーズ量が $3 \times 10^{12} \text{ cm}^{-2}$ 程度で加速エネルギーが40keV程度のホウ素イオンを注入する。これにより、NチャネルMOSトランジスタ4のしきい値電圧は0.5～0.8Vに制御される。

【0037】次に、N型エピタキシャル層11上の全面に、温度900℃程度で30分程度のパイロジェニック酸化を施して、厚さ10nm程度の絶縁膜16A、第1のゲート絶縁膜16C並びに第2のゲート絶縁膜16Dを形成する。

【0038】次に、図3に示す工程で、基板上にNPNバイポーラトランジスタ2の形成領域のエミッタ・ベース領域17を開口したレジスト膜(図示せず)を形成し、このレジスト膜をマスクとして、フッ化アンモニウムとフッ酸との混合液を用いてNPNバイポーラトランジスタ2の領域の図2に示す絶縁膜16Aを選択的にエッチングして除去する。

【0039】次に、レジスト膜を除去した後、N型エピタキシャル層11上の全面にシランガスをを用いた減圧CVD法により厚さ300～400nmの電極形成用の第1の多結晶シリコン膜を堆積する。そして、NPNバイポーラトランジスタ2の形成領域を開口したレジスト膜をマスクとして、ドーズ量が $5 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、加速エネルギーが40keV程度の条件で、ホウ素イオンを注入する。レジスト膜を除去した後、各MOSトランジスタ3、4の形成領域を開口したレジスト膜をマスクとして、ドーズ量が $1.5 \times 10^{16} \text{ cm}^{-2} \sim 3 \times 10^{16} \text{ cm}^{-2}$ 、加速エネルギーが40keV程度の条件で、リンイオンを注入する。

【0040】次に、レジスト膜を除去した後、TEOSと酸素の混合ガスを用いて温度700℃程度の減圧CVD法により、第1の多結晶シリコン膜の上に厚さ120

～250nmの酸化膜を堆積する。次に、酸化膜及び第1の多結晶シリコン膜をパターニングして、NPNバイポーラトランジスタ2のベース引き出し電極18Aと、各MOSトランジスタ3、4の各ゲート電極18C、18Dと、電極上絶縁膜19A、19C及び19Dとを形成する。このとき、酸化膜のエッチングは、 CHF_3 、アンモニア及び酸素の混合ガスを用いて行ない、第1の多結晶シリコン膜の異方性エッチングは、 SF_6 と C_2F_4 との混合ガスを用いて行なう。そして、ベース引き出し電極18Aのシート抵抗は100～200 Ω/\square であり、各MOSトランジスタ4のゲート電極18C、18Dのシート抵抗は20～40 Ω/\square である。また、このパターニング時に、NPNバイポーラトランジスタ2のエミッタ・ベース形成領域17が開口される。

【0041】次に、レジスト膜を除去した後、酸素雰囲気中の温度900℃程度で30分程度の熱処理により、各電極18A、18C、18Dの側面に、厚さ15～30nmの酸化膜20A、20C、20Dをそれぞれ形成する。

【0042】次に、酸素雰囲気中の温度950℃程度で30分程度の熱処理により、NPNバイポーラトランジスタ2のベース引き出し電極18A中のホウ素の不純物をN型コレクタ層13Aに導入し、接合深さが0.2～0.4 μm で表面の不純物濃度が $1 \times 10^{20} \text{ cm}^{-3} \sim 3 \times 10^{20} \text{ cm}^{-3}$ の外部ベース層21を形成する。

【0043】次に、レジスト膜(図示せず)とNPNバイポーラトランジスタ2のベース引き出し電極18Aとをマスクとして、ドーズ量が $1 \times 10^{13} \text{ cm}^{-2}$ 程度で加速エネルギーが10keV程度の条件で、ホウ素イオンをエミッタ・ベース形成領域17に注入し、接合深さが150～250nmで表面の不純物濃度が $1 \times 10^{19} \text{ cm}^{-3} \sim 3 \times 10^{19} \text{ cm}^{-3}$ の活性ベース層22を形成する。その後、レジスト膜を除去する。

【0044】次に、図4に示す工程で、基板の全面上に、ジクロールシランとアンモニアとの混合ガスを用いて減圧CVD法により40～80nmの各電極の側面の絶縁膜形成するためのシリコン窒化膜23を堆積する。さらに、 SF_6 と CCl_4 との混合ガスを用いて、シリコン窒化膜23の上に、第2の多結晶シリコン膜24を堆積する。

【0045】次に、図5に示す工程で、第2の多結晶シリコン膜の異方性エッチングを行って、ベース引き出し電極18Aの側面に導体側壁24A、24Bを、ゲート電極18Cの側面に導体側壁24Cを、第2のゲート電極18Dの側面に導体側壁24Dをそれぞれ形成する。

【0046】次に、NPNバイポーラトランジスタ2のエミッタ引き出し開口部25及びコレクタ引き出し開口部26を開口したレジスト膜Re2を形成し、このレジスト膜Re2及び導体側壁24Aをマスクとするエッチングにより、フロンガスと臭素系ガスとの混合ガスを用いて

シリコン窒化膜23を選択的に除去し、ベース引き出し電極18Aの側面にシリコン窒化膜23Aを残す。

【0047】次に、フッ化アンモニウムとフッ酸との混合液を用いて、NPNバイポーラトランジスタ2のエミッタ引き出し開口部25及びコレクタ引き出し開口部26をエッチングして酸化膜を除く。これにより、NPNバイポーラトランジスタ2において、ベース引き出し電極18Aの側面酸化膜20A、シリコン窒化膜23A及び導体側壁24Aよりなる厚さ200～300nmの3層膜側壁が形成され、同時にエミッタ引き出し開口部25が自己整合的に形成される。

【0048】次に、図6に示す工程において、レジスト膜Re2を除去した後、基板の全面上に、シランガスを用いた減圧CVD法により膜厚150～300nmの、エミッタ引き出し電極29、コレクタ引き出し電極30及び抵抗体31を形成するための第3の多結晶シリコン膜を堆積した後、この第3の多結晶シリコン膜にドーズ量が $1 \times 10^{16} \text{ cm}^{-2}$ 程度で加速エネルギーが60keV程度の条件で、ヒ素イオンを注入する。

【0049】次に、温度850℃で10～30分の熱処理により、第3の多結晶シリコン膜の表面を酸化して膜厚5～15nmの酸化膜を形成する。次に、窒素雰囲気中において温度900℃で30～60分の熱処理を行い、第3の多結晶シリコン膜中のヒ素の不純物をN型コレクタ層13A、活性ベース層27に拡散させて、コレクタコンタクト層28及びエミッタ層27をそれぞれ形成する。コレクタコンタクト層28及びエミッタ層27の接合深さは50～100nmで、表面の不純物濃度は $1 \times 10^{20} \text{ cm}^{-3} \sim 3 \times 10^{20} \text{ cm}^{-3}$ である。ここで、上記第3の多結晶シリコン膜の上に形成された酸化膜によって、第3の多結晶シリコン膜中のヒ素不純物の大気中への拡散が防止される。

【0050】次に、フッ化アンモニウムとフッ素との混合液を用いて第3の多結晶シリコン膜上の酸化膜を除去した後、第3の多結晶シリコン膜をRFエッチングによりパターニングして、シート抵抗が150～300 Ω/\square のNPNバイポーラトランジスタ2のエミッタ引き出し電極29及びコレクタ引き出し電極30と、抵抗素子1の多結晶シリコン抵抗体31とを形成する。エミッタ引き出し電極29、コレクタ引き出し電極30及び多結晶シリコン抵抗体31のシート抵抗は150～300 Ω/\square である。また、このエッチングは、例えば、HC1、HBr及び酸素の混合ガスを用いて圧力100×133、322mPa～200×133、322mPaにて行なわれる。

【0051】次に、上記エッチングと同条件のRFエッチングを連続して行い、エミッタ・ベース形成領域17内に埋め込まれている導体側壁24A以外の導体側壁24B、24C、24Dを除去する。さらに、このエッチングにより、導体側壁24B、24C、24Dで覆われ

ていなかった領域のシリコン窒化膜もエッチングされるので、ベース引き出し電極18A、各ゲート電極18C、18Dの側面には、それぞれL字型シリコン窒化膜32A、32C、32Dが残される。その後、レジスト膜を除去する。

【0052】次に、温度850℃で10～30分のパイロジェニック酸化によって、エミッタ引き出し電極29、コレクタ引き出し電極30、多結晶シリコン31の表面に、それぞれ厚みが5～15nmの酸化膜33A、33B、33Eを形成する。また、N型エピタキシャル層11のうち各MOSTランジスタ3、4の活性領域の表面領域を酸化して、厚みが5～15nmの酸化膜34C、34Dをそれぞれ形成する。

【0053】次に、図7に示す工程で、フッ化アンモニウムとフッ素との混合液を用いて、基板全体の表面上の酸化膜を2～3nm除去する。このエッチングによって、ベース引き出し電極18Aや各ゲート電極18C、18Dの側面のL字型シリコン窒化膜表面に形成された上述のパイロジェニック酸化膜で極薄に形成された酸化膜が除去される。一方、エミッタ引き出し電極29表面の酸化膜33A、コレクタ引き出し電極30表面の酸化膜33B、多結晶シリコン31表面の酸化膜33E、各MOSTランジスタ3、4の活性領域上の酸化膜34C、34Dは、厚み2～13nmにの膜厚で残される。

【0054】次に、リン酸液を用いたエッチングにより、残されていたL字型シリコン窒化膜32A、32C、32Dをいずれも除去する。このとき、リン酸液の酸化膜に対するエッチング速度は、シリコン窒化膜に対するエッチングする速度の100分の1以下であるため、エミッタ引き出し電極29、コレクタ引き出し電極30、多結晶シリコン抵抗体31、各MOSTランジスタ3、4の活性領域の各表面は、それぞれ酸化膜33A、33B、33E、34C、34Dによって保護されており、表面荒れ等に伴う各素子の動作特性のばらつきを抑制している。これは特に高精度が要求される抵抗素子に効果的である。

【0055】次に、PチャネルMOSTランジスタ3の形成領域を開口したレジスト膜（図示せず）を形成した後、このレジスト膜とゲート電極18C及び側面酸化膜20Cとをマスクとして、ドーズ量が $3 \times 10^{12} \text{ cm}^{-2}$ 程度で加速エネルギーが40keVの条件で、斜め方向からBF₂のイオンを注入して、PチャネルMOSTランジスタ3のLDD層35を側面酸化膜20Cに対して自己整合的に形成する。LDD層35の接合深さは0.2 μm 程度で、表面の不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 程度である。

【0056】次に、上記レジスト膜を除去して、新たにNチャネルMOSTランジスタ4の形成領域を開口したレジスト膜を形成した後、このレジスト膜とゲート電極18D及び側面酸化膜20Dとをマスクとして、ドーズ

量が $1 \times 10^{13} \text{ cm}^{-2}$ 程度で加速エネルギーが80 keVの条件で、ヒ素のイオンを斜め方向から注入して、側面酸化膜20Dに対して自己整合的にNチャネルMOSトランジスタ4のLDD層36を形成する。LDD層36の接合深さは0.2 μm 程度で、表面の不純物濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 程度である。その後、レジスト膜を除去する。

【0057】本実施形態に係る製造工程の最大の特徴は、この図7に示す工程における処理方法にある。図10に示すような従来のLDD層形成のためのイオン注入は、各ゲート電極の側面にL字型シリコン窒化膜66B、66Cを通したイオン注により行なわれていた。それに対し、本実施形態では、LDD層形成のためのイオン注入をL字型シリコン窒化膜32C、32Dを除去した後に行なうので、一般のCMOSプロセスで用いられているイオン注入条件をそのまま適用でき、また、イオン飛程のばらつきを低減できる。

【0058】次に、図8に示す工程で、基板の全面上に、TEOSと酸素との混合ガスを用いて、温度700℃程度の減圧CVD法により、厚さ170 nm程度の側壁形成用酸化膜を堆積し、この側壁形成用酸化膜の異方性エッチングを行なうことにより、ベース引き出し電極18A、エミッタ引き出し電極18B、第1ゲート電極18C、第2ゲート電極18Dの各側面上に、絶縁体側壁37A、37B、37C、37Dをそれぞれ形成する。

【0059】これにより、PチャネルMOSトランジスタ3のゲート電極18Cには、側面酸化膜20C及び絶縁体側壁37Cよりなる2層膜側壁が形成される。また、NチャネルMOSトランジスタ4のゲート電極18Dには、側面酸化膜20D及び絶縁体側壁37Dよりなる2層膜側壁が形成される。

【0060】次に、PチャネルMOSトランジスタ3の形成領域を開口したレジスト膜を形成し、このレジスト膜とゲート電極18C及び絶縁体側壁37Cとをマスクとして、ドーズ量が $5 \times 10^{15} \text{ cm}^{-2}$ 程度で加速エネルギーが30 keV程度の条件で BF_3 イオンを注入し、PチャネルMOSトランジスタ3のソース・ドレイン層38をゲート電極18Cの絶縁体側壁37Cに対して自己整合的に形成する。ソース・ドレイン層38の接合深さは0.2 μm 程度で、表面の不純物濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 程度である。

【0061】次に、上記レジスト膜を除去した後、NチャネルMOSトランジスタ4の形成領域を開口したレジスト膜を形成し、このレジスト膜とゲート電極18D及び絶縁体側壁37Dとをマスクとして、ドーズ量が $5 \times 10^{15} \text{ cm}^{-2}$ 程度で加速エネルギーが30 keV程度の条件でヒ素イオンを注入し、NチャネルMOSトランジスタ4のソース・ドレイン層39をゲート電極18Dの絶縁体側壁37Dに対し自己整合的に形成する。ソース

・ドレイン層39の接合深さは0.2 μm 程度で、表面の不純物濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 程度である。その後、レジスト膜を除去する。

【0062】その後の工程の図示は省略するが、基板上に厚い層間絶縁膜を形成した後、配線層を形成する。

【0063】本実施形態のBi-CMOSデバイスの製造方法によると、図7に示す工程で、L字型シリコン窒化膜32A～32Dを除去してからLDD層形成のためのイオン注入を行なっているため、従来のようなLDD層の不純物プロファイルのばらつきによると思われるMOSTランジスタの特性のばらつきが抑制され、単独のCMOSデバイスの一般的なプロセスと同様に、安定した特性を有するMOSTランジスタ3、4をNPNバイポーラトランジスタ2や抵抗素子1と共に共通のSi基板10の上に形成することができる。

【0064】しかも、L字型シリコン窒化膜32A～32Dを除去する前に、エミッタ引き出し電極29、コレクタ引き出し電極30、多結晶シリコン抵抗素子31、及び各MOSTランジスタ3、4の活性領域の表面に、それぞれ酸化膜33A、33B、33E、34C、34Dを形成している。これにより、酸化膜と窒化膜のエッチング選択比を利用して、酸化膜33A、33B、33E、34C、34Dが完全に除去されないようにL字型シリコン窒化膜32A～32Dを除去することができ、各電極や活性領域の表面の荒れ等に伴う各素子の動作特性のばらつきを抑制することができる。特に、高精度が要求される抵抗素子をBi-CMOSデバイス内に設ける場合には、抵抗素子の抵抗値の精度を所望の範囲内に保持することができるという著効を発揮することができる。

【0065】

【発明の効果】本発明によれば、バイポーラトランジスタとMISTランジスタとを共通の基板上に設けた半導体装置の製造方法として、2層多結晶シリコン自己整合プロセスにより、ベース引き出し電極の側面に絶縁膜を介して形成した導体側壁を用い、エミッタ引き出し電極をベース引き出し電極に対して自己整合的に形成した後、エミッタ層と外部ベース層とを互いに自己整合的に形成し、その後、上記絶縁膜と同時に形成されたゲート電極側面に残る絶縁膜を除去してから、MISTランジスタのソース・ドレイン層形成のための不純物イオンの注入を行なうようにしたので、イオン注入の飛程ばらつきに起因するMISTランジスタの特性のばらつきを抑制することができ、高性能の動作特性を持つMOSTランジスタを超高速バイポーラトランジスタとともに共通の半導体基板上に形成することができる。

【図面の簡単な説明】

【図1】本発明の実施形態に係る半導体装置の製造工程のうち埋め込みコレクタ層及び埋め込みウェル層を形成する工程を示す断面図である。

【図2】本発明の実施形態に係る半導体装置の製造工程のうちN型エピタキシャル層、LOCOS膜などを形成する工程を示す断面図である。

【図3】本発明の実施形態に係る半導体装置の製造工程のうちベース引き出し電極、ゲート電極、外部ベース層、活性ベース層、側面酸化膜などを形成する工程を示す断面図である。

【図4】本発明の実施形態に係る半導体装置の製造工程のうち基板全面上にシリコン窒化膜、第2の多結晶シリコン膜などを形成する工程を示す断面図である。

【図5】本発明の実施形態に係る半導体装置の製造工程のうちエミッタ引き出し開口部、コレクタ引き出し開口部を形成する工程を示す断面図である。

【図6】本発明の実施形態に係る半導体装置の製造工程のうちエミッタ引き出し電極、コレクタ引き出し電極、多結晶シリコン抵抗体、L字型シリコン窒化膜などを形成する工程を示す断面図である。

【図7】本発明の実施形態に係る半導体装置の製造工程のうちMOSTランジスタのLDD層形成のためのイオン注入などを行なう工程を示す断面図である。

【図8】本発明の実施形態に係る半導体装置の製造工程のうちMOSTランジスタのソース・ドレイン層形成のためのイオン注入などを行なう工程を示す断面図である。

【図9】従来の半導体装置の断面図である。

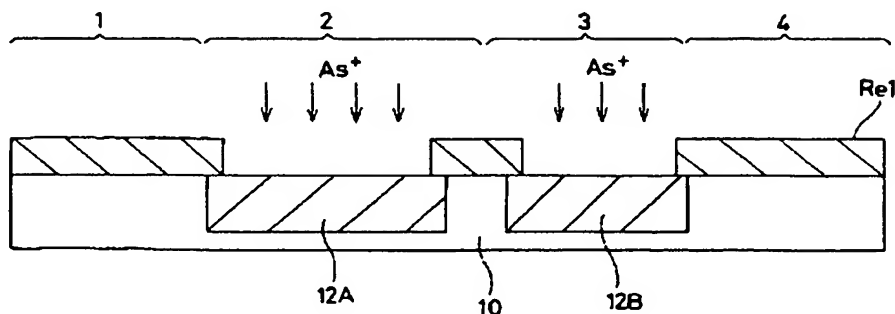
【図10】従来の半導体装置の製造工程のうちLDD沿う形成のためのイオン注入を行なう工程のみを抜き出して示す断面図である。

【符号の説明】

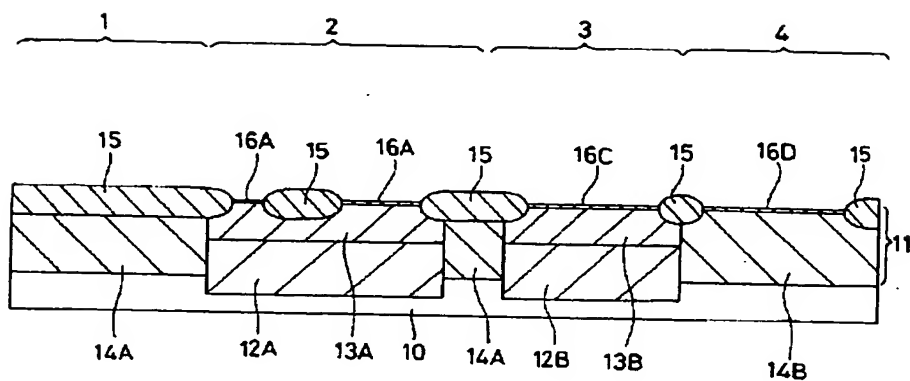
- 1 抵抗素子
- 2 NPNバイポーラトランジスタ
- 3 PチャネルMOSTランジスタ
- 4 NチャネルMOSTランジスタ
- 10 P型Si基板
- 11 N型エピタキシャル層
- 12A 埋め込みコレクタ層

- 12B N型埋め込みウェル層
- 13A N型コレクタ層
- 13B N型ウェル層
- 14A 素子分離層
- 14B P型ウェル層
- 15 LOCOS膜
- 16A 絶縁膜
- 16C 第1のゲート絶縁膜
- 16D 第2のゲート絶縁膜
- 17 エミッタ・ベース形成領域
- 18A ベース引き出し電極
- 18C ゲート電極
- 18D ゲート電極
- 19A, 19C, 19D 電極上絶縁膜
- 20A~20D 側面酸化膜
- 21 外部ベース層
- 22 活性ベース層
- 23A シリコン窒化膜
- 24 多結晶シリコン膜
- 24A~24D 側壁
- 25 エミッタ引き出し開口部
- 26 コレクタ引き出し開口部
- 27 エミッタ層
- 28 コレクタコンタクト層
- 29 エミッタ引き出し電極
- 30 コレクタ引き出し電極
- 31 多結晶シリコン抵抗体
- 32A~32E L字型シリコン窒化膜
- 33A, 33B, 33E 酸化膜
- 34C, 34D 酸化膜
- 35 LDD層
- 36 LDD層
- 37A~37D 絶縁体側壁
- 38 ソース・ドレイン層
- 39 ソース・ドレイン層

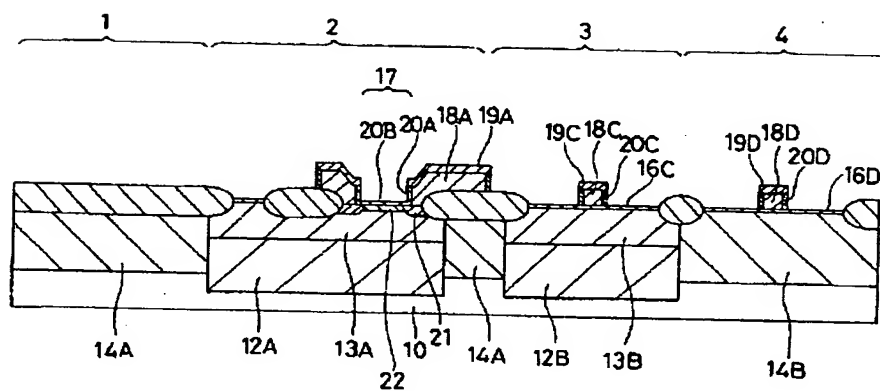
【図1】



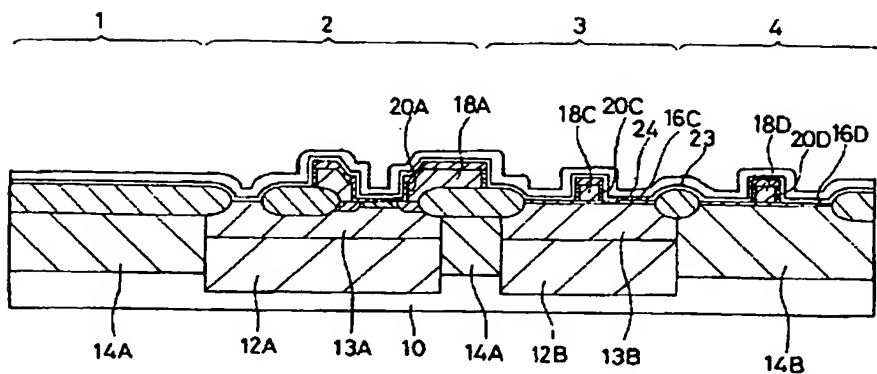
【図2】



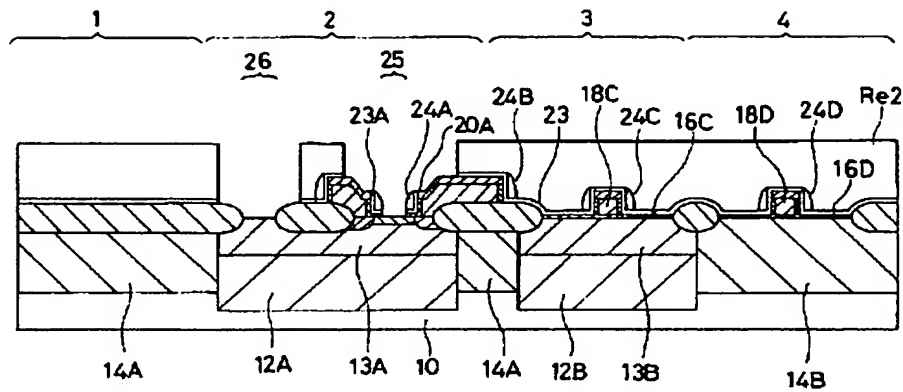
【図3】



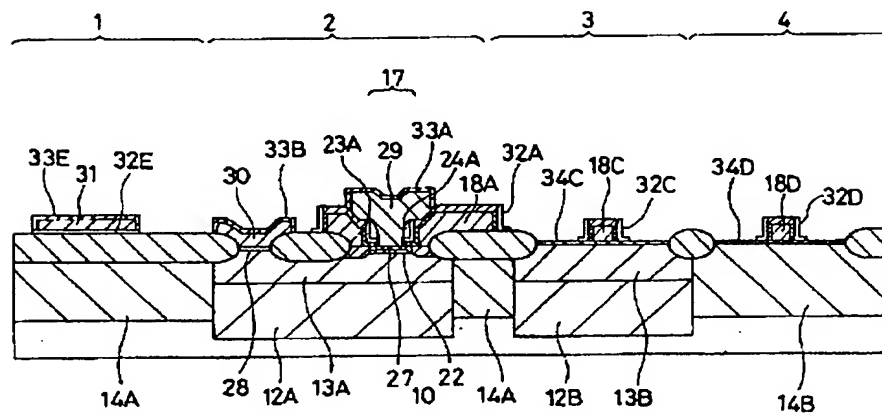
【図4】



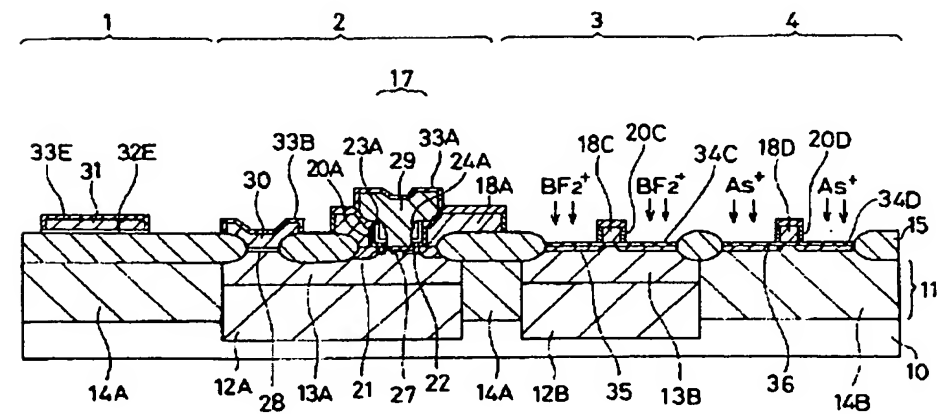
【図5】



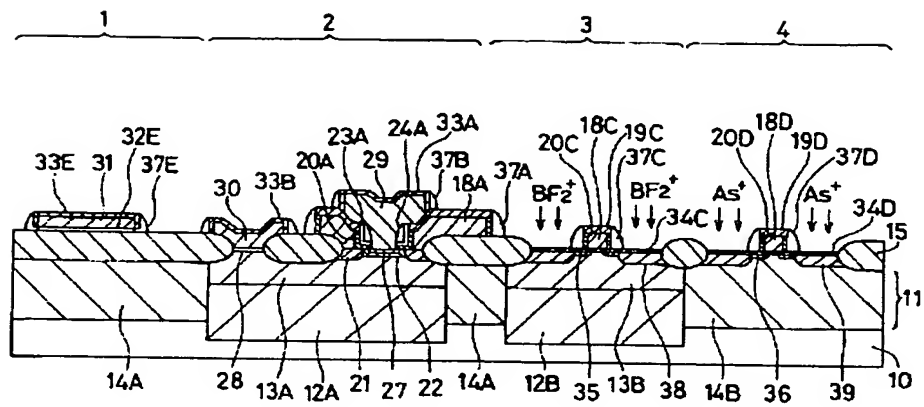
【図6】



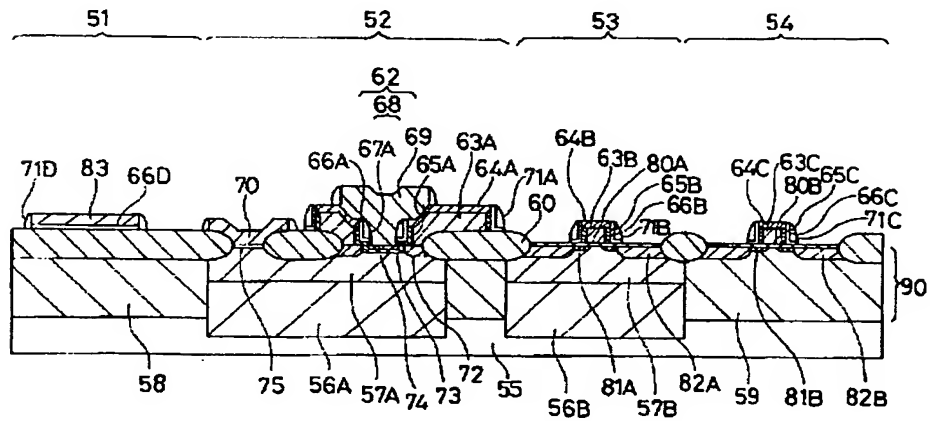
【図7】



【図8】



【図9】



【図10】

